

Додаток 2 – прилог кон статијата "Микроконтролери базирани на ARM (1)" од ЕМИТЕР 1/2013

Софтверски пример изработен во асемблер, со чија помош може да се погледне како процесорот ги процесира прекините

```
#define ENABLE_SWI_INTERRUPT
#define ENABLE_UND_INTERRUPT

        NAME        main

        PUBLIC      __iar_program_start

        SECTION    .intvec : CODE (2)
        CODE32

__iar_program_start
        ldr        pc, =ResetHandler
        ldr        pc, =UndefinedInsHandler
        ldr        pc, =SoftwareInt
        ldr        pc, =PrefetchAbort
        ldr        pc, =DataAbort
        nop
implementacii ima specijalno znacenje. Kaj NXP procesorite ima "CRC" na
vektorite.
        ldr        pc, =IRQHandler
        ldr        pc, =FIQHandler

ResetHandler
        mrs        r0, CPSR
        bic        r0, r0, #0x80
        msr        CPSR_cf, r0
        b          main

UndefinedInsHandler
        b          UndefinedInsHandler

SoftwareInt
        b          SoftwareInt

PrefetchAbort
        b          PrefetchAbort

DataAbort
        b          DataAbort

IRQHandler
        b          IRQHandler

FIQHandler
        b          FIQHandler

        SECTION    .text : CODE (2)
        CODE32

main    NOP
        nop
        nop
#ifdef ENABLE_SWI_INTERRUPT
        swi 0x12
#endif
#ifdef ENABLE_UND_INTERRUPT
        DCD 0xE6000010
#endif

        B main

        END
```